

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Chan-kyung KIM

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 12 March 2004

Atty. Docket: SEC.1122

For: **Duty Cycle Correction Circuit of Delay Locked Loop and Delay Locked Loop Having the Duty Cycle Correction Circuit**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

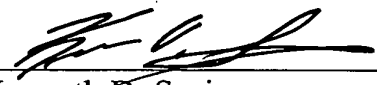
Appln. No. 2003-0015863 filed March 13, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: 
Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 12 March 2004



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0015863
Application Number

출원 년 월 일 : 2003년 03월 13일
Date of Application MAR 13, 2003

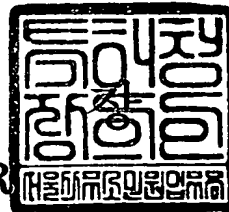
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.13
【국제특허분류】	H03K
【발명의 명칭】	지연동기루프의 듀티 사이클 보정회로 및 이를 구비하는 지연동기루프
【발명의 영문명칭】	Duty cycle correction circuit of delay locked loop and the delay locked loop having the duty cycle correction circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김찬경
【성명의 영문표기】	KIM, Chan Kyung
【주민등록번호】	730703-1683517
【우편번호】	442-190
【주소】	경기도 수원시 팔달구 우만동 498 풍림아파트 3-102
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030015863

출력 일자: 2003/10/23

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	4	면	4,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	12	항	493,000	원
---------	----	---	---------	---

【합계】	526,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

DLL에서 듀티 에러가 발생하는 경우, 상기 듀티 에러의 발생원인을 정확하게 분석할 수 있도록 동작이 제어되는 듀티 사이클 보정회로 및 상기 듀티 사이클 보정회로를 구비하는 DLL이 개시된다. 상기 듀티 사이클 보정회로는 외부 클럭신호에 동기된 내부 클럭신호의 듀티 사이클을 제어하기 위한 듀티 오프셋 정보를 스위칭 제어신호에 응답하여 DLL 코어로 선택적으로 출력할 수 있다. 상기 DLL은 상기 듀티 오프셋 정보에 따라 기준 클럭신호의 듀티 사이클을 보정할 수 있으므로, 50% 듀티 사이클을 갖는 기준 클럭신호를 출력할 수 있다.

【대표도】

도 2

【색인어】

듀티 사이클

**【명세서】****【발명의 명칭】**

지연동기루프의 듀티 사이클 보정회로 및 이를 구비하는 지연동기루프{Duty cycle correction circuit of delay locked loop and the delay locked loop having the duty cycle correction circuit}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 지연 동기루프의 블록도를 나타낸다.

도 2는 본 발명의 실시예에 따른 지연 동기루프의 블록도를 나타낸다.

도 3은 본 발명의 실시예에 따른 지연 동기루프의 듀티 사이클 보정회로의 회로도를 나타낸다.

도 4는 본 발명의 실시예에 따른 지연 동기루프의 듀티 사이클 보정회로의 동작 타이밍도를 나타낸다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 지연 동기루프의 듀티 사이클 보정회로 및 상기 듀티 사이클 보정회로를 구비하는 지연동기 루프에 관한 것으로, 보다 상세하게는 듀티 사이클 에러 원인을 용이하게 분석

하기 위하여 스위칭 회로를 구비하는 듀티 사이클 보정회로 및 상기 듀티 사이클 보정회로를 구비하는 지연동기루프에 관한 것이다.

- <7> 일반적으로, 지연동기루프(Delay Locked Loop; DLL)는 시스템의 외부로부터 입력되는 외부 클럭신호를 수신하고, 상기 외부 클럭신호에 동기된 내부 클럭신호를 발생시키는 장치이다. 여기서 상기 시스템은 외부 클럭신호를 사용하는 논리 장치 또는 반도체 장치 등을 모두 포함한다.
- <8> 예를 들어, DLL은 다양한 종류의 논리 장치는 물론이고, 컴퓨터의 중앙처리 장치(CPU)와 디램(DRAM)간의 데이터 처리속도를 높여주는 캐쉬 메모리 장치(일반적으로 'SRAM'이 사용됨)에 이용되거나 싱크로너스 디램, 램버스 디램 등에 적용될 수 있다.
- <9> DDR(Double Date Rate)기술은 메모리 시스템의 대역폭을 향상시키기 위하여 개발되었다. 상기 메모리 시스템은 내부 클럭신호의 상승에지 및 하강에지를 사용한다. 이 경우 내부 클럭신호의 듀티 사이클(duty cycle)은 고성능 메모리 시스템에서 타이밍 마진(timing margin)을 최대로 유지할 수 있는 중요한 요소가 된다.
- <10> 즉, 내부 클럭신호의 듀티 사이클이 정확히 50%를 유지하지 않는 경우, 50%에서 벗어나게 되는 오프셋만큼의 에러는 고성능 메모리 시스템의 타이밍 마진을 감소시킨다. 따라서 공정(process), 전압(voltage) 및 온도(temperature)의 변화에 따른 듀티 사이클의 왜곡을 보상하기 위하여 장치가 필요하게 되었다. 즉, DLL에서 사용되는 듀티 사이클 보정 회로는 내부 클럭신호의 듀티를 보정하는 회로이다.
- <11> 도 1은 종래의 지연동기루프의 블록도를 나타낸다. 도 1을 참조하면, DLL(100)은 DLL 코어(110), 클럭 버퍼(130) 및 듀티 사이클 보정회로(150)를 구비한다.



- <12> DLL 코어(110)는 DLL의 핵심적인 부분으로 외부 클럭신호(ECLK)를 수신하고, 외부 클럭신호(ECLK)에 동기된 내부 클럭신호(ICLK)를 발생한다.
- <13> 클럭 버퍼(130)는 서로 직렬로 접속된 다수개의 인버터들(131, 133, 135, ..., 137)을 구비하고, 내부 클럭신호(ICLK)를 버퍼링하여 기준 클럭신호(CLK) 및 상보 기준 클럭신호(CLKB)를 발생한다.
- <14> 당업계에서 널리 알려진 바와 같이 인버터(131)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 하나의 PMOS 트랜지스터(P1) 및 하나의 NMOS 트랜지스터(N1)로 구성된다. 나머지 인버터들(133, 135, 137)각각의 구조는 인버터 (131)의 구조와 동일하다. 그리고 기준 클럭신호(CLK)와 상보적인 상보 기준 클럭신호(CLKB)를 발생하는 방법은 당업계에서 자명하다.
- <15> 각 인버터(131, 133, 135, ..., 137)의 PMOS 트랜지스터(P1) 및 NMOS 트랜지스터의 채널의 폭과 채널의 길이의 비가 동일한 경우, 클럭 버퍼(130)는 50%의 듀티 사이클을 갖는 차동 기준 클럭신호들(CLK/CLKB)을 출력할 수 있다.
- <16> 그러나 공정(process), 전압(voltage) 및 온도(temperature)의 변화에 따라 차동 기준 클럭신호들(CLK/CLKB)의 듀티 사이클이 정확하게 50%가 되지 않고 45% 또는 55%가 되는 경우(이를 '듀티 에러가 발생하는 경우'라 한다.), 고성능 메모리 시스템의 타이밍 마진을 감소시킨다.
- <17> 이런 문제를 해결하기 위하여 듀티 사이클 보정회로(150)는 차동 기준 클럭신호들(CLK/CLKB)을 듀티 오프셋 정보(DCC/DCCB)로 변환하고, 듀티 오프셋 정보 (DCC/DCCB)를 DLL코어(110)로 제환시킨다. 따라서 DLL코어(110)는 듀티 오프셋 정보(DCC/DCCB)에 응답하여 내부 클럭신호(ICLK)의 듀티 사이클이 정확하게 50%로 되도록 조절한다.



<18> 그러나 듀티 사이클 보정회로(150)는 DLL(100)이 동작하는 동안 항상 동작하므로, 50% 듀티 사이클을 갖는 차동 기준 클럭신호들(CLK/CLKB)이 클럭 버퍼(130)와 듀티 사이클 보정회로(150)의 상호 동작에 의하여 발생되는지, 또는 듀티 사이클 보정회로(150)의 동작이 미미하고 클럭 버퍼(130)의 주도적인 동작에 의하여 발생되는지를 알 수 없다.

<19> 즉, 듀티 에러가 발생하는 경우, 상기 듀티 에러가 클럭 버퍼(130)에 의하여 발생되는지, 또는 듀티 사이클 보정회로(150)에 의하여 발생되는지를 정확하게 분석하지 못하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명이 이루고자 하는 기술적인 과제는 DLL에서 듀티 에러가 발생하는 경우, 상기 듀티 에러의 발생원인을 정확하게 분석할 수 있도록 동작이 제어되는 듀티 사이클 보정회로 및 상기 듀티 사이클 보정회로를 구비하는 DLL을 제공하는 것이다.

【발명의 구성 및 작용】

<21> 본 발명에 따른 지연 동기루프의 듀티 사이클 보정회로는 제 1입력단 및 제 2입력단으로 각각 입력되는 차동 기준 클럭들을 수신하고, 증폭하여 차동 출력신호들을 제1차동 출력단 및 제2차동 출력단으로 각각 출력하는 차동 증폭기; 상기 제1차동 출력단과 제1노드사이에 접속되고 제어신호들에 응답하여 상기 제1차동 출력단의 신호를 상기 제1노드로 전송하는 제1전송회로; 상기 제2차동 출력단과 제2노드사이에 접속되고 상기 제어신호들에 응답하여 상기 제2차동 출력단의 신호를 상기 제2노드로 전송하는 제2전송회로; 상기 제1노드와 접지전압사이에 접속되고 상기 제1노드의 신호를 저장하는 제1저장유닛; 상기 제2노드와 상기 접지전압사이에 접속

되고 상기 제2노드의 신호를 저장하는 제2저장유닛; 및 스위칭 제어신호에 응답하여 상기 제1노드와 제1출력단을 접속하고 상기 제2노드와 제2출력단을 접속하는 스위칭 회로를 구비한다.

<22> 상기 스위칭 회로는 비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제1노드의 신호를 상기 제1출력단으로 전송하는 제3전송회로; 상기 비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제2노드의 신호를 상기 제2출력단으로 전송하는 제4전송회로; 상기 제1출력단과 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 접지전압을 상기 제1출력단으로 공급하는 제1전압공급회로; 및 상기 제2출력단과 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 접지전압을 상기 제2출력단으로 공급하는 제2전압공급회로를 구비한다.

<23> 상기 제1전송회로 내지 상기 제4전송회로 각각은 PMOS트랜지스터 및 NMOS트랜지스터로 구성된다. 상기 제1저장유닛과 상기 제2저장유닛 각각은 MOS트랜지스터로 구성된다.

<24> 본 발명에 따른 지연동기 루프는 외부 클럭신호를 수신하고 상기 외부 클럭신호에 동기된 내부 클럭신호를 발생하는 DLL 코어; 상기 내부 클럭신호를 버퍼링하여 차동 기준 클럭신호들을 출력하는 버퍼; 및 상기 차동 기준 클럭신호들 각각의 듀티 사이클의 차이에 상응하는 소정의 오프셋을 갖는 제1제어신호들을 발생하고, 스위칭 제어신호에 응답하여 상기 제1제어신호들을 상기 DLL코어로 출력한다. 상기 DLL코어는 상기 제1제어신호들에 응답하여 상기 내부 클럭신호의 듀티 사이클을 보정한다.

<25> 상기 지연동기 루프는 상기 스위칭 제어신호를 수신하기 위한 패드를 더 구비한다. 상기 지연동기 루프는 상기 스위칭 제어신호를 발생하기 위한 모드 레지스터 세트를 더 구비한다.

- <26> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <28> 도 2는 본 발명의 실시예에 따른 지연동기루프의 블락도를 나타낸다. 도 2를 참조하면, 지연동기루프(200)는 DLL코어(210), 클럭버퍼(130), 듀티 사이클 보정회로(230) 및 패드(240)를 구비한다.
- <29> DLL 코어(210)는 외부 클럭신호(ECLK)를 수신하고, 외부 클럭신호(ECLK)에 동기된 내부 클럭신호(ICLK)를 발생한다. 클럭버퍼(130)는 내부 클럭신호(ICLK)를 버퍼링하여 차동 기준 클럭신호들(CLK/CLKB)을 발생한다.
- <30> 듀티 사이클 보정회로(230)는 차동 기준 클럭신호들(CLK/CLKB) 각각의 듀티 사이클의 차이에 상응하는 소정의 오프셋을 갖는 제1제어신호들(DCC/DCCB)을 발생하고, 패드(240)를 통하여 DLL(200)의 외부로부터 입력되는 스위칭 제어신호(DCC_CTL)에 응답하여 제1제어신호들(DCC/DCCB)을 DLL코어(210)로 출력한다. DLL코어(210)는 제1제어신호들(DCC/DCCB)에 응답하여 내부 클럭신호(ICLK)의 듀티 사이클을 보정한다. 제1제어신호들(DCC/DCCB)은 듀티 오프셋 정보를 포함한다.
- <31> 스위칭 제어신호(DCC_CTL)는 모드 레지스터 세트(mode register set; MRS) 또는 로직 레지스터에 의하여 발생될 수 있다.



- <32> 도 3은 본 발명의 실시예에 따른 지연동기루프의 듀티 사이클 보정회로의 회로도도를 나타낸다. 도 3을 참조하면, 듀티 사이클 보정회로(230)는 차동 증폭기 (231), 전송회로(233), 저장유닛(235) 및 스위칭 회로(237)를 구비한다.
- <33> 차동 증폭기(231)는 NMOS 트랜지스터(N11)의 게이트(이하 '제1입력단'이하 한다.)로 입력되는 기준 클락신호(CLK) 및 NMOS 트랜지스터(N13)의 게이트(이하 '제2입력단'이하 한다.)로 입력되는 상보 기준 클락신호(CLKB)를 수신하고, 이들(CLK/CLKB)의 차이를 증폭하고, 증폭된 차동 출력신호들을 제1차동 출력단 (ND6) 및 제2차동 출력단(ND7)으로 각각 출력한다.
- <34> 전송회로(233)는 제1전송회로(TG1) 및 제2전송회로(TG2)를 구비한다. 제1전송회로(TG1)는 PMOS 트랜지스터(P29) 및 NMOS 트랜지스터(N47)로 구성되고 제2전송회로(TG2)는 PMOS 트랜지스터(P33) 및 NMOS 트랜지스터(N51)로 구성된다.
- <35> 제1전송회로(TG1)는 제1차동 출력단(ND6)과 제1노드(ND8)사이 에 접속되고 제어신호들(CAP_ON, CAP_ONB)에 응답하여 상기 제1차동 출력단(ND6)의 신호를 상기 제1노드(ND8)로 전송한다.
- <36> 제2전송회로(TG2)는 제2차동 출력단(ND7)과 제2노드(ND9)사이 에 접속되고 제어신호들(CAP_ON, CAP_ONB)에 응답하여 상기 제2차동 출력단(ND7)의 신호를 상기 제2노드(ND9)로 전송한다. 제어신호들(CAP_ON, CAP_ONB)은 서로 상보적인 신호들이다.
- <37> 저장유닛(235)은 제1저장유닛(N55) 및 제2저장유닛(N57)을 구비한다. 제1저장유닛(N55)은 제1노드(ND8)와 접지전압(VSS)사이 에 접속되고 상기 제1노드(ND8)의 신호를 저장한다. 제1저장유닛(N55)은 NMOS 트랜지스터로 구성된다.

- <38> 제2저장유닛(N57)은 제2노드(ND9)와 접지전압(VSS)사이 에 접속되고 상기 제2노드(ND9)의 신호를 저장한다. 제2저장유닛(N57)은 NMOS 트랜지스터로 구성된다.
- <39> 스위칭 회로(237)는 스위칭 제어신호(DCC_CTL)에 응답하여 제1노드(ND8)와 제1출력단(ND10)을 접속하고 제2노드(ND9)와 제2출력단(ND11)을 각각 접속한다.
- <40> 스위칭 회로(237)는 제3전송회로(TG3), 제4전송회로(TG4), 제1전압공급회로(N67) 및 제2전압공급회로(N69)를 구비한다. 제3전송회로(TG3)는 PMOS 트랜지스터(P37) 및 NMOS 트랜지스터(N59)로 구성되며, 비활성화 상태(논리 '로우')를 갖는 스위칭 제어신호(DCC_CTL)에 응답하여 제1노드(ND8)의 신호를 제1출력단(ND10)으로 전송한다.
- <41> 제4전송회로(TG4)는 PMOS 트랜지스터(P41) 및 NMOS 트랜지스터(N63)로 구성되며, 비활성화 상태(논리 '로우')를 갖는 스위칭 제어신호(DCC_CTL)에 응답하여 제2노드(ND9)의 신호를 제2출력단(ND11)으로 전송한다.
- <42> 제1전압공급회로(N67)는 제1출력단(ND10)과 접지전압(VSS)사이 에 접속되고 활성화 상태(논리 '하이')를 갖는 스위칭 제어신호(DCC_CTL)에 응답하여 상기 접지전압(VSS)을 상기 제1출력단(ND10)으로 공급한다. 제1전압공급회로(N67)가 NMOS 트랜지스터로 구현되는 경우, 제1출력단(ND10)은 활성화된 스위칭 제어신호(DCC_CTL)에 응답하여 접지전압(VSS)으로 풀-다운된다.
- <43> 제2전압공급회로(N69)는 제2출력단(ND11)과 상기 접지전압(VSS)사이 에 접속되고 활성화 상태를 갖는 상기 스위칭 제어신호(DCC_CTL)에 응답하여 상기 접지전압(VSS)을 상기 제2출력단(ND11)으로 공급한다. 제2전압공급회로(N69)가 NMOS 트랜지스터로 구현되는 경우, 제2출력단(ND11)은 활성화된 스위칭 제어신호(DCC_CTL)에 응답하여 접지전압(VSS)으로 풀-다운된다.

- <44> 도 2 및 도 3을 참조하여 지연동기루프의 듀티 사이클 보정회로(230)의 동작을 설명하면 다음과 같다. 우선, 차동 증폭기(2312)의 구체적인 동작에 대하여 설명하면 다음과 같다.
- <45> DLL 코어(210)로부터 출력된 바이어스 전압(VIAS)이 '하이' 레벨로 활성화되면, 전류 소스 역할을 하는 NMOS 트랜지스터들(N15, N17, N19) 및 PMOS트랜지스터들(P11, P13, P15)이 턴-온 되므로, 차동 증폭기(231)는 동작된다.
- <46> 모드 제어신호(NAPB)가 '하이' 레벨로 활성화되면, NMOS트랜지스터(N21)가 턴-온 되므로, 노드(ND5)의 전압은 턴-온된 NMOS 트랜지스터들(N21, N19)을 통하여 접지전압(VSS)으로 풀-다운된다. 상기 노드(ND5)의 전압이 접지전압(VSS)으로 풀-다운됨에 따라 PMOS형 커패시터(P17) 및 커런트 미러(current mirror) 구조를 갖는 PMOS 트랜지스터들(P19, P21, P23)각각은 턴-온 된다.
- <47> 그리고, 각 노드(ND1 및 ND2)의 전압은 차동 기준 클럭들(CLK/CLKB)의 상태에 따라 온(on)/오프(off)되는 NMOS 트랜지스터(N11, N13)의 동작에 의해 차동 증폭된다. 증폭된 각 노드(ND1 및 ND2)의 신호는 턴-온된 각 PMOS 트랜지스터(P21 및 P23)를 통하여 제1차동 출력단(ND6) 및 제2차동 출력단(ND7)으로 전달된다.
- <48> 이때, 차동 출력단들(ND6 및 ND7)중 '하이' 레벨을 갖는 출력단은 활성화된 제어신호(CAP_ON)에 의하여 턴-온된 NMOS 트랜지스터들(N27, N29, N39, N41)을 통해 접지전압(VSS)으로 커런트 패스(current pass)가 형성되어 '로우' 레벨로 바뀐다.
- <49> 그리고 상기 차동 출력단들(ND6 및 ND7)중 '로우' 레벨을 갖는 출력단은 접지전압(VSS)으로 커런트 패스가 형성되지 않으므로 커런트 미러 구조의 PMOS 트랜지스터들(P13 및 P15, P15 및 P23)을 통하여 공급되는 전원전압(VDD)에 의하여 '하이' 레벨로 바뀐다.

- <50> 따라서, 바이어스 전압(VIAS)이 '하이'이고, 모드 제어신호(NAPB)가 '하이'이고, 파워 리셋신호(PW_RESET)가 '로우'인 경우, 각 차동 기준 클럭신호(CLK/CLKB)는 각 차동 출력단(ND6 및 ND7)으로 출력된다.
- <51> 한편, 바이어스 전압(VIAS)이 '하이'이고, 모드 제어신호(NAPB) 및 제어신호(CAP_ON)가 '로우'이고, 파워 리셋신호(PW_RESET)가 '하이'인 경우, NMOS 트랜지스터(N21)가 턴-오프되고 PMOS 트랜지스터(P25)가 턴-온 되므로, 노드(ND5)의 전압은 '하이'로 된다. 따라서 PMOS형 커패시터(P17)와 커런트 미러 PMOS 트랜지스터들(P11, P13, P15)각각은 턴-오프된다.
- <52> 각 NMOS 트랜지스터(N27, N29, N39, N41)는 턴-오프되므로 차동 증폭기(231)의 동작은 비활성화된다. 그리고 이때, 차동 출력단(ND6, ND7)은 PMOS 트랜지스터 (P27)에 의해 등화된다.
- <53> 제어신호(CAP_ON)는 각 NMOS트랜지스터(N47, N51)의 게이트 및 각 PMOS트랜지스터(P31, P35)의 게이트로 입력되고, 상보 제어신호(CAP_ONB)는 각 NMOS 트랜지스터(N49, N53)의 게이트 및 각 PMOS 트랜지스터(P29, P33)의 게이트로 입력된다. 각 NMOS 트랜지스터(N49, N53) 및 각 PMOS 트랜지스터(P31, P35)는 커패시터를 형성한다.
- <54> 제1전송회로(TG1)는 제어신호들(CAP_ON, CAP_ONB)에 응답하여 제1차동 출력단(ND6)의 신호를 제1노드(ND8)로 전송하고, 제2전송회로(TG2)는 제어신호들 (CAP_ON, CAP_ONB)에 응답하여 제2차동 출력단(ND7)의 신호를 제2노드(ND9)로 전송한다.
- <55> 제1저장 유닛(N55)은 제1노드(ND8)의 신호를 소정 시간동안 저장하고, 제2저장 유닛 (N57)은 제2노드(ND9)의 신호를 소정 시간 동안 저장한다.



- <56> 제1노드(ND8)로 전송된 신호는 로우 레벨을 갖는 스위칭 제어신호(DCC_CTL)에 응답하여 제1출력단(ND10)으로 전송되고, 제2노드(ND9)로 전송된 신호는 상기 로우 레벨을 갖는 상기 스위칭 제어신호(DCC_CTL)에 응답하여 제2출력단(ND11)으로 전송된다.
- <57> 그러나 스위칭 제어신호(DCC_CTL)가 하이 레벨을 갖는 경우, 제3전송회로 (TG3)는 오프되고 제1출력단(ND10)은 접지전압(VSS)으로 풀-다운되고, 제4전송회로 (TG4)는 오프되고 제2출력단(ND11)은 접지전압(VSS)으로 풀-다운된다.
- <58> 스위칭 제어신호(DCC_CTL)는 각 PMOS 트랜지스터(P37, P41)의 게이트, 각 NMOS 트랜지스터(N61, N65, N67, N69)의 게이트 및 인버터(I11)로 입력된다. 그리고 인버터(I11)의 출력신호는 각 PMOS 트랜지스터(P39, P43)의 게이트 및 각 NMOS 트랜지스터(N59, N63)의 게이트로 입력된다. 각 NMOS 트랜지스터(N61, N65) 및 각 PMOS 트랜지스터(P39, P43)는 커패시터를 형성한다.
- <59> 따라서 본 발명에 따른 듀티 사이클 보정회로(230)는 스위칭 제어신호 (DCC_CTL)의 상태에 따라 온/오프된다.
- <60> 도 4는 본 발명의 실시예에 따른 지연동기루프의 듀티 사이클 보정회로의 동작 타이밍도를 나타낸다. 이 경우 바이어스 전압(VIAS), 모드 제어신호(NAPB) 및 제어신호(CAP_ON)는 하이 레벨을 갖고 스위칭 제어신호(DCC_CTL)는 로우 레벨("L")을 갖는다.
- <61> 기준 클럭신호(CLK)의 듀티 사이클이 55%인 경우를 도 2 내지 도 4를 참조하며 설명하면 다음과 같다.



- <62> 차동 증폭기(231)는 제1입력단으로 입력되는 기준 클럭신호(CLK) 및 제2입력단으로 입력되는 상보 기준 클럭신호(CLKB)를 수신하고, 증폭하여 증폭된 결과를 제1차동 출력단(ND6) 및 제2차동 출력단(ND7)으로 각각 출력한다.
- <63> 따라서 제1저장 유닛(N55)에는 상보 기준 클럭신호(CLKB)의 듀티 사이클(예컨대 45%)에 상응하는 전하가 저장되고, 제2저장 유닛(N57)에는 기준 클럭신호(CLK)의 듀티 사이클(예컨대 55%)에 상응하는 전하가 저장된다.
- <64> 따라서 제1출력단(ND10)을 통하여 DLL코어(210)로 출력되는 신호(DCCB)와 제2출력단(ND11)을 통하여 DLL코어(210)로 출력되는 신호(DCC)사이에는 소정의 DC오프셋이 발생된다.
- <65> DLL코어(210)는 듀티 사이클 보정회로(230)로부터 출력되는 신호들(DCC/DCCB)에 응답하여 내부 클럭신호(ICLK)의 듀티 사이클을 보정한다. 따라서 듀티 사이클 보정회로(230) 및 DLL코어(210)의 상호 작용이 반복됨에 따라 기준 클럭신호(CLK)의 듀티 사이클은 50%가 된다. 이 경우 기준 클럭신호(CLK)의 듀티 사이클이 50%인 경우 DC 오프셋은 0이다. 또한, 기준 클럭신호(CLK)의 듀티 사이클이 50%로부터 증가하거나 또는 감소하는 경우 DC 오프셋은 증가한다.
- <66> 그러나 스위칭 제어신호(DCC_CTL)가 하이 레벨("H")로 천이하는 경우, 제1노드(ND8)의 신호는 제1출력단(ND10)으로 전송되지 못함과 동시에 제2노드(ND9)의 신호는 제2출력단(ND11)으로 전송되지 못한다. 또한 스위칭 회로(237)의 각 NMOS 트랜지스터(N67, N69)는 하이 레벨을 갖는 스위칭 제어신호(DCC_CTL)에 응답하여 턴-온되므로, 제1출력단(ND10)의 출력신호(DCCB) 및 제2출력단(ND11)의 출력신호(DCC)는 접지전압(VSS)으로 풀-다운된다. 이 경우 제1저장 유닛(N55) 및 제2저장유닛(N57)에는 저장된 전하는 유지된다.

- <67> 따라서 스위칭 제어신호(DCC_CTL)가 하이 레벨("H")로 천이하는 경우, 기준 클럭신호(CLK)의 듀티 사이클은 클럭버퍼(130)를 구성하는 각 인버터(131, 133, 135, ..., 137)에 의하여 결정된다.
- <68> 스위칭 제어신호(DCC_CTL)가 다시 로우 레벨("L")로 천이하는 경우, 제1노드(ND8)의 신호는 제1출력단(ND10)으로 전송되고 제2노드(ND9)의 신호는 제2출력단(ND11)으로 전송되고, 각 NMOS 트랜지스터(N67, N69)는 턴-오프된다.
- <69> 따라서 스위칭 회로(237)는 스위칭 제어신호(DCC_CTL)가 하이 레벨("H")로 천이하기 직전의 신호들(DCC/DCCB)을 DLL코어(210)로 출력한다. 따라서 DLL코어(210)는 듀티 사이클 보정회로(230)로부터 출력되는 신호들(DCC/DCCB)에 응답하여 내부 클럭신호(ICLK)의 듀티 사이클을 보정한다.
- <70> 따라서 듀티 사이클 보정회로(230)를 구비하는 DLL(200)에서 듀티 에러가 발생하는 경우, 기준 클럭신호(CLK)의 듀티 사이클은 클럭버퍼(130) 및/또는 듀티 사이클 보정회로(230)에서 발생하는 듀티 에러에 무관하게 정확하게 50%를 갖는다.
- <71> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <72> 상술한 바와 같이 온/오프 가능한 듀티 사이클 보정회로를 구비하는 DLL에서 듀티 에러가 발생하는 경우 상기 듀티 에러의 발생원인을 정확하게 분석할 수 있는 효과가 있다. 따라서



상기 DLL 및 상기 DLL을 구비하는 시스템의 디버깅 (debugging)시간을 최소화할 수 있는 효과가 있다.

<73> 또한, 본 발명에 따른 듀티 사이클 보정회로를 구비하는 DLL에서 상기 듀티 사이클 보정회로가 정확하게 동작하고 있는지의 여부를 확인할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

지연 동기루프의 듀티 사이클 보정회로에 있어서,

제 1입력단 및 제 2입력단으로 각각 입력되는 차동 기준 클럭들을 수신하고, 증폭하여 차동 출력신호들을 제1차동 출력단 및 제2차동 출력단으로 각각 출력하는 차동 증폭기;

상기 제1차동 출력단과 제1노드사이에 접속되고 제어신호들에 응답하여 상기 제1차동 출력단의 신호를 상기 제1노드로 전송하는 제1전송회로;

상기 제2차동 출력단과 제2노드사이에 접속되고 상기 제어신호들에 응답하여 상기 제2차동 출력단의 신호를 상기 제2노드로 전송하는 제2전송회로;

상기 제1노드와 접지전압사이에 접속되고 상기 제1노드의 신호를 저장하는 제1저장유닛;

상기 제2노드와 상기 접지전압사이에 접속되고 상기 제2노드의 신호를 저장하는 제2저장유닛; 및

스위칭 제어신호에 응답하여 상기 제1노드와 제1출력단을 접속하고 상기 제2노드와 제2출력단을 접속하는 스위칭 회로를 구비하는 지연동기루프의 듀티 사이클 보정회로.

【청구항 2】

제1항에 있어서, 상기 스위칭 회로는,

비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제1노드의 신호를 상기 제1출력단으로 전송하는 제3전송회로;

상기 비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제2노드의 신호를 상기 제2출력단으로 전송하는 제4전송회로;



상기 제1출력단과 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어 신호에 응답하여 상기 접지전압을 상기 제1출력단으로 공급하는 제1전압공급회로; 및

상기 제2출력단과 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어 신호에 응답하여 상기 접지전압을 상기 제2출력단으로 공급하는 제2전압공급회로를 구비하는 지연동기루프의 듀티 사이클 보정회로.

【청구항 3】

제2항에 있어서, 상기 제1전송회로 내지 상기 제4전송회로 각각은 PMOS트랜지스터 및 NMOS트랜지스터로 구성되는 지연동기루프의 듀티 사이클 보정회로.

【청구항 4】

제1항에 있어서, 상기 제1저장유닛과 상기 제2저장유닛 각각은 MOS트랜지스터로 구성되는 지연동기루프의 듀티 사이클 보정회로.

【청구항 5】

지연동기 루프에 있어서,

외부 클럭신호를 수신하고 상기 외부 클럭신호에 동기된 내부 클럭신호를 발생하는 DLL 코어;

상기 내부 클럭신호를 버퍼링하여 차동 기준 클럭신호들을 출력하는 버퍼; 및

상기 차동 기준 클럭신호들 각각의 듀티 사이클의 차이에 상응하는 소정의 오프셋을 갖는 제1제어신호들을 발생하고, 스위칭 제어신호에 응답하여 상기 제1제어신호들을 상기 DLL코어로 출력하는 듀티 사이클 보정회로를 구비하며,

상기 DLL코어는 상기 제1제어신호들에 응답하여 상기 내부 클럭신호의 듀티 사이클을 보정하는 지연동기 루프.

【청구항 6】

제5항에 있어서,

상기 지연동기 루프는 상기 스위칭 제어신호를 수신하기 위한 패드를 더 구비하는 지연 동기 루프.

【청구항 7】

제5항에 있어서,

상기 지연동기 루프는 상기 스위칭 제어신호를 발생하기 위한 모드 레지스터 세트를 더 구비하는 지연동기 루프.

【청구항 8】

제5항에 있어서,

상기 버퍼는 상기 차동 기준 클럭신호들 각각을 발생하기 위한 직렬로 접속된 다수개의 인버터들을 구비하는 지연동기 루프.

【청구항 9】

제8항에 있어서,

상기 다수개의 인버터들 각각은 직렬로 접속된 하나의 PMOS트랜지스터 및 하나의 NMOS트랜지스터를 구비하는 지연동기 루프.

【청구항 10】

제5항에 있어서, 상기 듀티 사이클 보정회로는,



제 1입력단 및 제 2입력단으로 각각 입력되는 상기 차동 기준클럭신호들을 수신하고, 증폭하여 차동 출력클럭신호들을 제1차동 출력단 및 제2차동 출력단으로 각각 출력하는 차동 증폭기;

상기 제1차동 출력단과 제1노드사이에 접속되고 제2제어신호들에 응답하여 상기 제1차동 출력단의 신호를 상기 제1노드로 전송하는 제1전송회로;

상기 제2차동 출력단과 제2노드사이에 접속되고 상기 제2제어신호들에 응답하여 상기 제2차동 출력단의 신호를 상기 제2노드로 전송하는 제2전송회로;

상기 제1노드와 접지전압사이에 접속되고 상기 제1노드의 신호를 저장하는 제1저장유닛;

상기 제2노드와 상기 접지전압사이에 접속되고 상기 제2노드의 신호를 저장하는 제2저장유닛; 및

상기 스위칭 제어신호에 응답하여 상기 제1노드의 신호 및 상기 제2노드의 신호를 상기 DLL 코어로 전송하는 스위칭회로를 구비하며,

상기 제1제어신호들 각각은 상기 제1노드의 신호 및 상기 제2노드의 신호인 지연동기루프.

【청구항 11】

제10항에 있어서, 상기 스위칭 회로는,

비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제1노드의 신호를 상기 DLL코어로 전송하는 제3전송회로;

상기 비활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제2노드의 신호를 상기 DLL코어로 전송하는 제4전송회로;

상기 제1노드와 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제1노드를 접지전압으로 풀-다운하는 제1풀-다운회로; 및

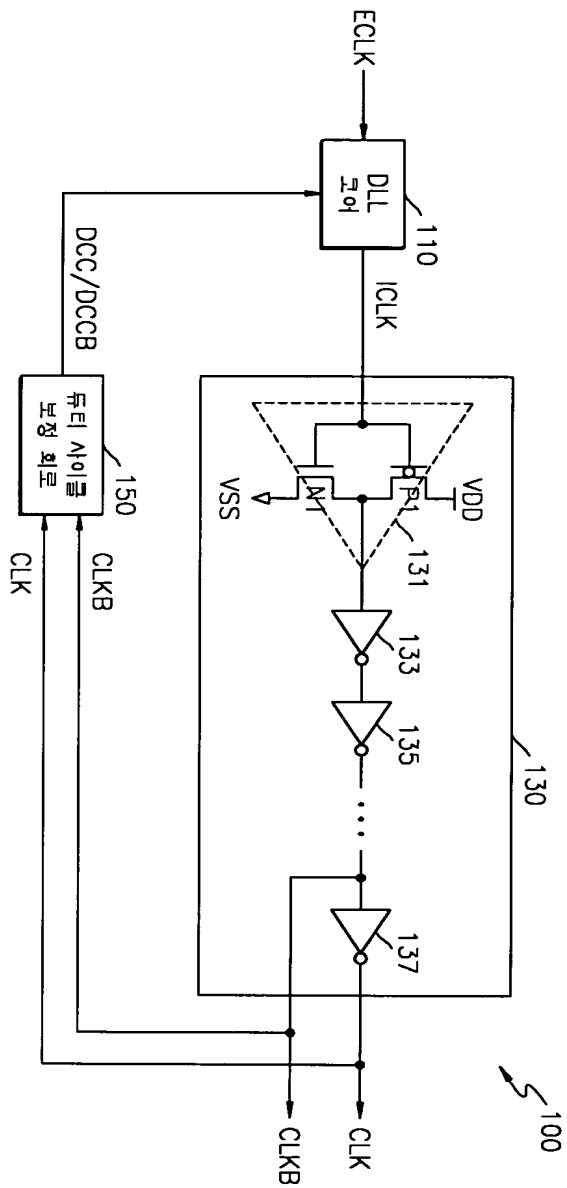
상기 제2노드와 상기 접지전압사이에 접속되고 활성화 상태를 갖는 상기 스위칭 제어신호에 응답하여 상기 제2노드를 상기 접지전압으로 풀-다운하는 제2풀-다운회로를 구비하는 지연동기 루프.

【청구항 12】

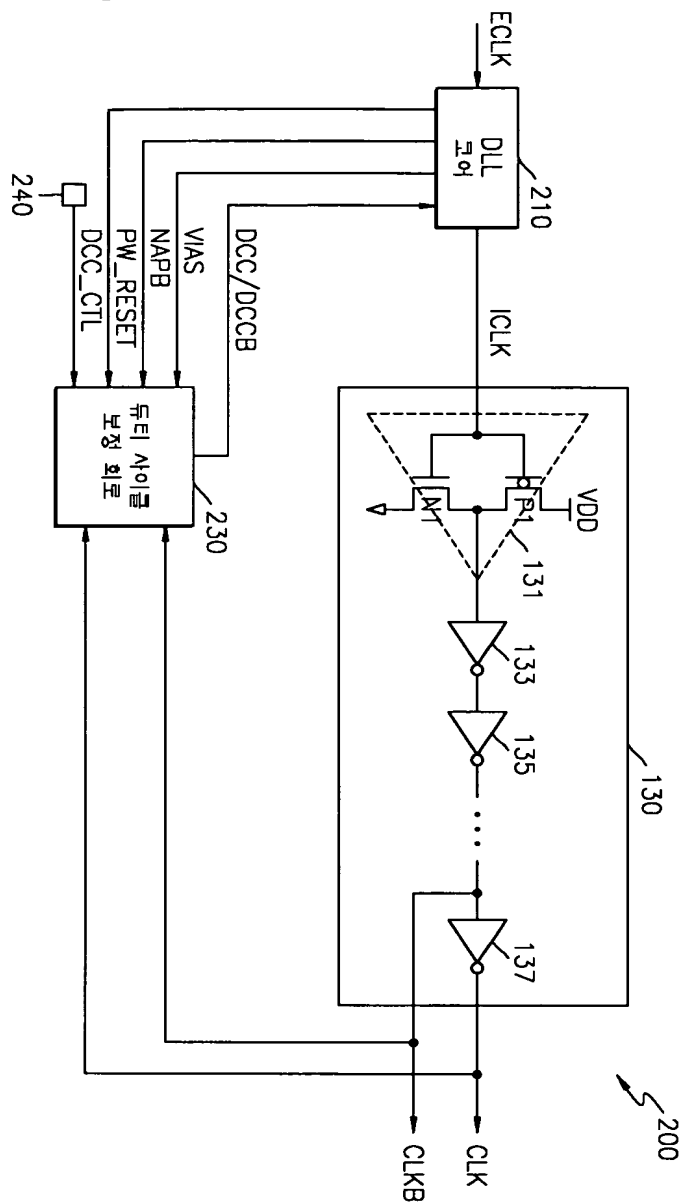
제10항에 있어서, 상기 제1저장유닛과 상기 제2저장유닛 각각은 MOS트랜지스터로 구성되는 지연동기루프의 듀티 사이클 보정회로.

【도면】

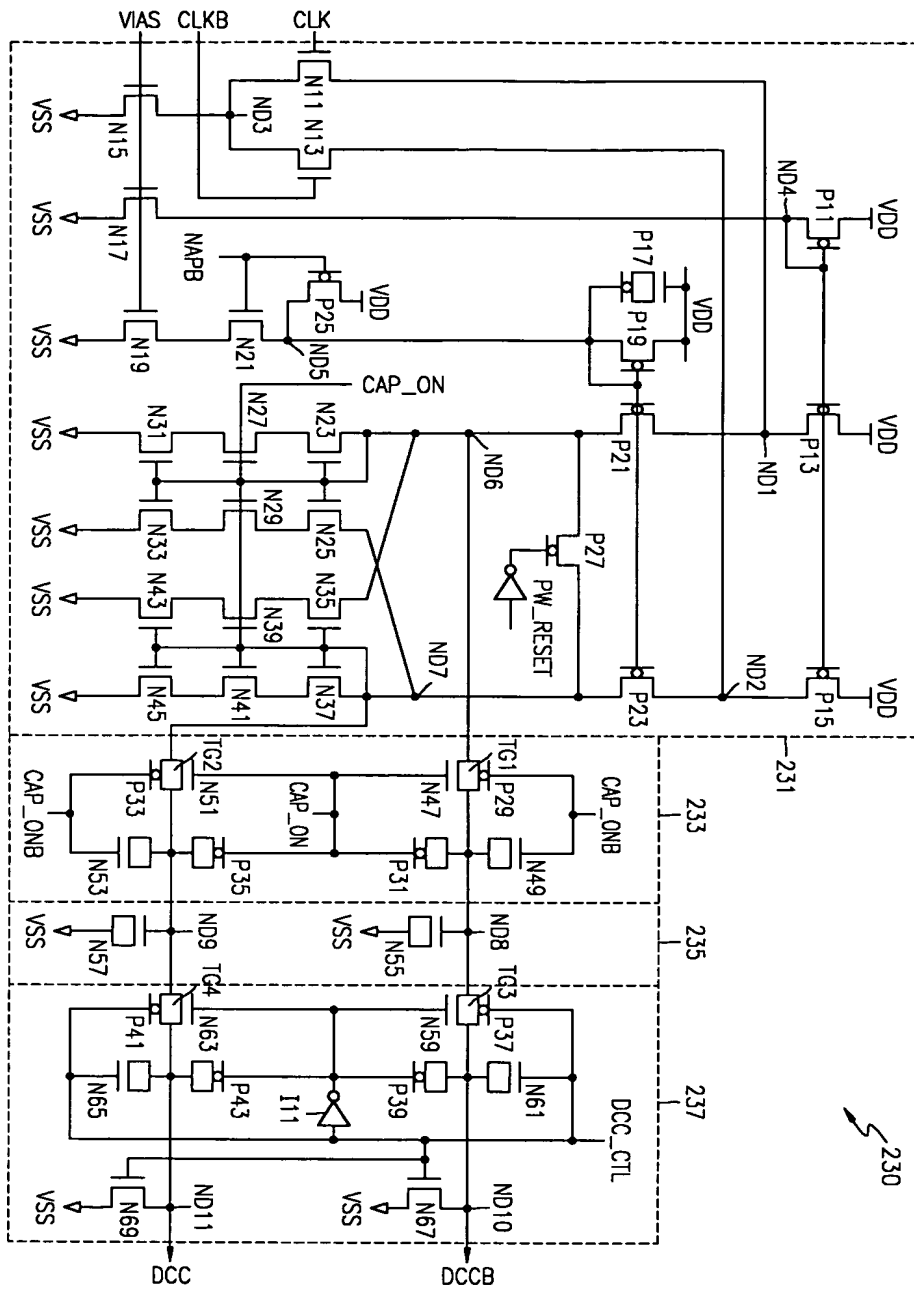
【도 1】



【도 2】



【도 3】



【도 4】

